

И. А. Морозов, К. Л. Шитьков

Интеграция вычислительных IP-ядер для ПЛИС XILINX в реконфигурируемых системах

Аннотация. В данном докладе описывается подход к решению проблем, возникающих при необходимости интеграции IP-ядер, реализуемых в ПЛИС, с управляющим оборудованием на базе стандартных универсальных процессоров. Данный подход основан на использовании шины PCI Express и инфраструктуры на базе интерфейсов AXI4 и AXI4-Stream. Данный документ является обзорной версией доклада и будет существенно расширен и доработан.

Введение

При реализации крупных реконфигурируемых систем на базе ПЛИС требуется решение следующих задач:

- интеграция вычислительных IP-ядер в конфигурации ПЛИС;
- конфигурирование поля ПЛИС;
- высокоскоростная передача данных и сигналов управления;
- прозрачный доступ к IP-ядрам;
- мониторинг состояния ПЛИС.

Во ФГУП «НИИ «Квант» разработано комплексное решение данных задач с использованием шины PCI Express и инфраструктуры на базе интерфейсов AXI4 и AXI4-Stream. При этом в качестве управляющей системы выступает сервер с процессорами архитектуры x86_64.

Шина PCI Express используется для организации связи между сервером и ПЛИС, ее преимуществами в данном случае являются:

- присутствие практически во всех современных серверах;
- хорошая документация;
- поддержка высоких скоростей передачи данных и режима DMA.

IP-ядра внутри ПЛИС интегрируются с помощью интерфейсов AXI4 и AXI4-Stream, к плюсам которых можно отнести:

- наличие хорошей документации и примеров применения;
- для данных интерфейсов существует множество готовых IP-ядер;
- полная синхронность и возможность легкого добавления уровней регистров;
- поддержка блочной передачи данных.

1. Создание IP-ядер

Описание IP-ядер может быть выполнено на языках VHDL, Verilog или SystemVerilog, для упрощения процесса разработки могут использоваться как стандартные ядра, предоставляемые вместе с САПР, так и ряд ядер, созданных в нашей организации. На данном этапе как правило используются стандартные средства САПР Vivado и Vivado HLS компании Xilinx, однако могут использоваться и другие средства.

Все IP-ядра, предназначенные для интеграции должны иметь возможность подключения с помощью двух интерфейсов:

- ведомый AXI4 с поддержкой передачи блоками для управления и загрузки рабочих данных;
- ведущий AXI4-Stream для передачи слова-состояния в режиме DMA.

Для легкой интеграции IP-ядер, не требующих использования всех возможностей AXI4, созданы модули, выполняющие роль мостов между AXI4 и более простыми, но не универсальными интерфейсами.

САПР Vivado HLS, предназначенная для высокоуровневого описания IP-ядер на языках C и C++, позволяет создавать ядра для работы с интерфейсами AXI4 и AXI4-Stream без подключения интерфейсных IP-ядер в явном виде, а только лишь с помощью директив компилятора.

2. Интеграция IP-ядер и получение конфигурации ПЛИС

На данном этапе используются шаблоны (для каждого из используемых типов ПЛИС), основным компонентом которых является мост PCI Express <=> AXI4, поддерживающий:

- режим пословного и блочного доступа к устройствам для передачи данных и сигналов управления;
- режим прямого доступа к памяти для передачи слова-состояния устройств пользователя;

- возможность создания нескольких виртуальных устройств пользователя в одной ПЛИС;
- восстановление работоспособности в случае сбоя.

Получение конфигурации ПЛИС происходит средствами САПР Xilinx Vivado. Возможна интеграция как с помощью графических средств пакета, так и с помощью подготовленных скриптов на языке Tcl.

3. Загрузка конфигурации и работа с ПЛИС

Для выполнения процесса конфигурирования, а также последующей работы с ПЛИС создано ПО KvantSDK для ОС Linux в составе драйвера и библиотеки со следующими возможностями:

- конфигурирование, инициализация и работа с пулом ПЛИС;
- поддержка одновременной работы нескольких пользователей на одном сервере с разными ПЛИС;
- контроль состояния ПЛИС (доступность, в работе, перегрев и т.п.);
- корректная работа с множеством потоков.

4. Поддержка дополнительных режимов

Так же на базе описанных выше IP-ядер и шаблонов реализован следующий функционал:

- режим частичной реконфигурации ПЛИС;
- динамическое изменение частоты пользовательских модулей;
- поддержка прямой передачи данных между ПЛИС посредством PCI Express и(или) напрямую с помощью соединений по GTX.

Об авторах:

Илья Александрович Морозов

ФГУП «НИИ «Квант»

e-mail:

cooler@sha.su

Константин Леонидович Шитьков

ФГУП «НИИ «Квант»

e-mail:

modellstt@bk.ru