

Крупский Александр Александрович

Русаков Руслан Равилович

Оптимизация разрядной сетки вычислительных блоков в устройствах цифровой обработки сигналов

АННОТАЦИЯ. В статье рассмотрены основные подходы к оптимизации ЦОС-устройств, реализуемых на программируемых логических интегральных схемах.

Для оптимизации сложных проектов предлагается эффективное моделирование проекта будущего ЦОС-устройства с возможностью «динамического» изменение длины разрядной сетки отдельных вычислительных устройств.

Ключевые слова и фразы: ПЛИС, разрядная сетка, моделирование, объём аппаратуры.

Введение

Основой современного технического прогресса является увеличение скоростей обработки информации различными вычислительными устройствами. Появляются новые и новые поколения устройств. Эти устройства выполняют в несколько раз больше операций за единицу времени по сравнению со своими предшественниками. Увеличенное быстродействие позволяет реализовать выполнение более совершенных алгоритмов, более точных моделей, более реалистичных звука и изображения.

Увеличение быстродействия производится как с помощью увеличения количества аппаратуры (это возможно с помощью постоянно совершенствуемого техпроцесса изготовления микросхем), так и с помощью эффективного использования доступных аппаратных ресурсов – оптимизации использования аппаратуры.

Оптимальное использование аппаратуры

Существует множество вариантов технологий оптимизации вычислительного процесса: конвейеризация, буферизация, параллелизм вычислений, вычисления с упреждением, суперскалярная архитектура и т. п. Особенно богатые возможности для рационального использования ресурсов предоставляют программируемые логические интегральные схемы (ПЛИС), которые с недавних пор используются не только в дорогих устройствах особого назначения, но и в бытовой и даже любительской электронике.

В современных IT-разработках значительный и постоянно растущий удельный вес имеют устройства цифровой обработки сигналов (ЦОС), в большинстве которых использование ПЛИС особенно эффективно ввиду огромной потенциальной вычислительной мощности. Однако, в случае использования ПЛИС, которые являются очень дорогими устройствами по сравнению с универсальными и сигнальными процессорами, затраты аппаратную составляющую вносят существенный вклад в конечную стоимость получаемого изделия.

Последовательно развиваемые алгоритмы ЦОС для своей корректной работы требуют все большего и большего быстродействия вычислительной аппаратуры, что естественным образом приводит к необходимости использования дорогих моделей ПЛИС. Поэтому использование оптимальных схемотехнических решений практически всегда позволяет сократить бюджет разработки за счет использования более доступных моделей или даже серий ПЛИС.

Задачу достижения оптимального использования оборудования при проектировании ПЛИС традиционно формализуют следующим образом:

1. Проработка ЦОС-алгоритма работы будущего устройства и моделирование. На данном этапе можно оценить погрешность вычислений для разных узлов обработки алгоритма, предположить достаточную по объему ресурсов ПЛИС-мик-

росхемы и даже осуществлять первоначальную оптимизацию. Реализация сложного вычислительного алгоритма (высокоскоростная цифровая фильтрация, компрессия/декомпрессия «плотного» потока данных, БПФ на большое количество точек и т. п.) означает высокую трудоёмкость и нетривиальность задачи выбора оптимальной разрядности каждого блока при сохранении требуемой точности результатов вычислений. Решение этой задачи не отражено в литературе и требует определенного творчества от проектировщика ПЛИС. Ниже будут рассмотрены варианты автоматизированного решения этой задачи.

2. Использование «IP-функций» - параметризуемых функций для реализации законченных функциональных блоков. Использование IP-функций значительно экономит время разработки устройства, однако, в ряде случаев, приводит к неоправданно большим требованиям к аппаратным ресурсам. Опыт ПЛИС-разработчиков показывает, что неоптимальное потребление ресурсов особенно вероятно для таких сложных функционалов, как например, БПФ и КИХ-фильтры. Существует мнение, что «повышенный аппетит» ряда «IP-функций» связан с желанием изготовителей ПЛИС зарабатывать дополнительные дивиденды на пользователях микросхем, вынуждая их покупать более ёмкие, более дорогие модели. Все это означает, что перед разработчиком ставится задача разумно использовать «IP-функций», - контролировать и оценивать ресурсы, потребляемые на реализацию заданного функционала.
3. Следование правилам проектирования ПЛИС, разработанных изготовителем конкретных микросхем. Это позволяет избежать проблемных моментов в процессе раскладки кристалла, сбалансировать потребление ресурсов и значительно упростить достижение высоких частот работы микросхемы. Например, в отличие от языков высокого уровня, языки описания аппаратуры при использовании условных операторов требуют четкого прописывания вариантов возможных

комбинаций ветвлений для исключения ситуации «защелка» (англ. «latch»). Это ситуация происходит, когда транслятор языка аппаратуры не может произвести однозначную трактовку условного оператора. Как следствие – отсутствие ожидаемого быстрогодействия аппаратуры.

4. Управление процессом трассировки и раскладки кристалла ПЛИС с помощью специального программного обеспечения [1]. Это – комплексный подход, сочетающий оптимизацию настройки САПР с размещением наиболее критичных для общей производительности компонентов внутри жестко заданных областей. Обычно такой подход позволяет добиться 10-30% прироста частоты синхронизации и 10-20% экономии ресурсов. На практике встречаются случаи, когда алгоритм автоматического размещения компонентов устройства не может решить свою задачу, и тогда ручная расстановка становится единственным вариантом реализации проекта.

Всем этим вопросам посвящено достаточное количество специализированной литературы, например, [1] и документации производителей ПЛИС.

Метод оптимизации для сложных проектов

Рассмотрим вариант решения задачи оптимизации ресурсов ПЛИС в сложном проекте.

Обычно проектировщик ПЛИС начинает расчет величин разрядных сеток на основе точности представления исходных данных. Далее, путем изучения конкретного применения арифметических операций в используемом алгоритме происходит подбор значений величин разрядной сетки последующих вычислительных узлов. С увеличением сложности алгоритма трудоёмкость вышеприведенного анализа возрастает. При интенсивном использовании, к примеру, операции «накопления с умножением», которая составляет основу большинства ЦОС-алгоритмов, эта трудоёмкость может стано-

виться непреодолимой, и тогда проектировщик ПЛИС вынужден закладывать в свой проект заведомо завышенные разрядности вычислительных блоков.

Математическая модель алгоритма, написанная на языке высокого уровня, должна иметь возможность учета разрядности отдельных вычислительных операций. Будем называть такую модель аппаратно-программным представлением (АПП). Модели без вышеупомянутой возможности позволяют определить работоспособность алгоритма лишь на определённом наборе данных и при использовании «программной» разрядной сетки вычислительных узлов. В современных языках высокого уровня для чисел с плавающей запятой используется один из вариантов стандарта IEEE-754. Например, тип `double` в языке C использует для мантииссы числа 58 разрядов. Естественно, для большинства задач обработки сигналов такая величина разрядной сетки избыточна – даже самые дорогие быстродействующие аналого-цифровые преобразователи позволяют получить лишь 14 верных разрядов данных. Это косвенно подтверждает и устройство самой микросхемы ПЛИС – специализированные быстродействующие умножители блоков DSP48E1 имеют размерность «всего» 25x18 и реализация, к примеру, умножителя 29x29 (это, в частности, случай умножения чисел с плавающей запятой с сохранением результата в переменную типа `double` языка C) приведет к использованию четырех блоков DSP48E1 (с соответствующим ростом длины конвейера такого умножителя) – рисунок 1.

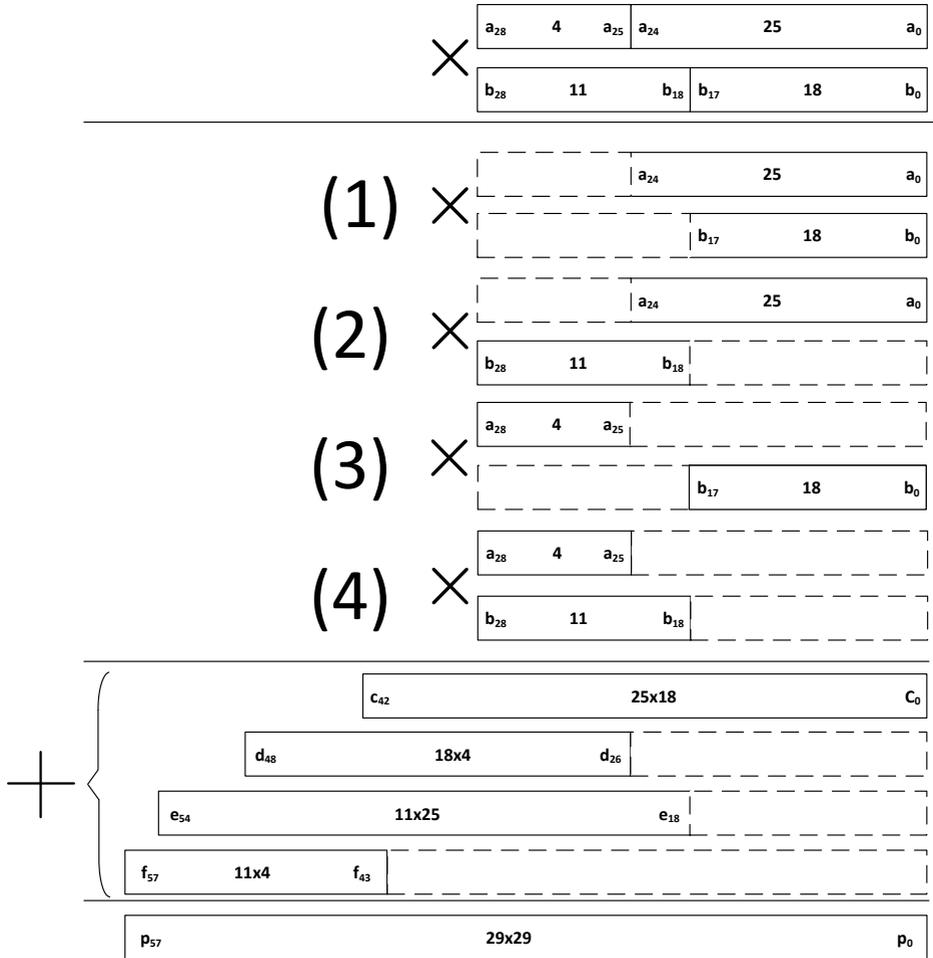


Рисунок 1. Реализация умножения 29x29 на умножителях 25x18

Иногда при моделировании работы ПЛИС используется программная модель, в которой разрядность всех вычислительных блоков некоторым образом зафиксирована на общем значении. Но и та-

кой подход не решает проблему полностью – для качественной оптимизации необходим индивидуальный подбор разрядности каждого вычислительного узла.

Проверка работы аппаратно-программного представления должна производиться на данных, максимально близких к данным планируемой обработки, причем иногда это может потребовать подробного моделирования работы не только самого проектируемого устройства, но и сопряженных с ним устройств всей вычислительной системы. В качестве иллюстрации к такой ситуации можно рассмотреть достаточно сложный узел решения системы линейных алгебраических уравнений для задач адаптивной пространственной фильтрации [2], АПП которого потребовало моделирования первичной обработки данных радиолокационной станции. Иным способом получить нужные для АПП данные не представлялось возможным ввиду специфичности области исследования.

Проверка правильности результата работы реализуемого алгоритма ЦОС основывается на четких критериях, выработанных при постановке технического задания и проработки первоначальной математической модели. В качестве таких критериев может использоваться получаемая точность решения, скорость сходимости итерационного метода, величина отношения сигнал/шум и т.п.

Конечная цель предлагаемой оптимизации независимых вычислительных блоков – вектор длин соответствующих разрядностей. В качестве начального приближения берется вектор заведомо избыточными для данной системы значениями. Оптимизация последовательно (или с использованием специализированного алгоритма) уменьшает или увеличивает разрядности всех вычислительных блоков до уровня, после которого установленные критерии правильности работы алгоритма нарушаются. Таким образом, целенаправленно проверяются сотни или даже тысячи потенциально подходящих вариантов комбинаций наборов разрядных сеток вычислительных блоков, и среди них выявляется набор из 2-3 оптимальных вариантов.

Применив все вышеперечисленные замечания при создании АПП, можно уже на этапе моделирования заложить фундамент построения работоспособной аппаратной реализации, которая в процессе наладки не потребует дополнительных усилий разработчика, связанных со сменой разрядности отдельных вычислительных блоков.

Заключение

Методика использования АПП позволяет комплексно решить множество задач разработки сложных вычислительных узлов на ПЛИС. Прежде всего, уже на этапе проектирования можно значительно сократить бюджет разработки за счет использования недорогих моделей ПЛИС невысокой ёмкости (их стоимость может быть ниже в несколько раз), которые позволят реализовать необходимый функционал с минимальными длинами разрядной сетки всех вычислительных узлов. Вторым по значимости результатом АПП можно отметить сокращение времени на отладку функционала кристалла. До начала аппаратной реализации известны параметры всех функциональных блоков устройства с гарантией работоспособности выбранного алгоритма, и в процессе отладки нет необходимости изменять эти параметры для уменьшения ошибки получаемого результата, изменения потребления ресурсов и т. п.

Список литературы

- [1] Тарасов И.Е. *Разработка цифровых устройств на основе ПЛИС Xilinx с применением языка VHDL*// М., Горячая линия – Телеком, 2005.
- [2] Писаренко О.К., Русаков Р.Р. *Скоростное решение системы линейных алгебраических уравнений большой размерности методом Холецкого*// Вопросы радиоэлектроники, серия ЭВТ, 2012, вып. 2, М., с. 82-87.

Об авторах:



Александр Александрович Крупский

Доктор технических наук, профессор.

Награды: лауреат Государственной премии СССР, заслуженный деятель науки РФ.

e-mail:

krupsky@niivk.ru



Руслан Равилевич Русаков

Выпускник МЭИ(ТУ), 28 лет.

Разработки: модуль аппаратного решения СЛАУ большой размерности.

Награды: премия им. М.А.Карцева

e-mail:

rrusakov@ya.ru

Образец ссылки на публикацию:

А. А. Крупский, Р. Р. Русаков. Оптимизация разрядной сетки вычислительных блоков в устройствах цифровой обработки сигналов// Программные системы: теория и приложения: электрон. научн. журн. 2014.

A. KRUPSKY, R. RUSAKOV. CALCULATOR GRID OPTIMIZATION IN DSP-DEVICES.

ABSTRACT. The article describes the main DSP-devices optimization approach, realizable on FPGA-devices.

Effective DSP-device modeling with certain computing bit grid block “dynamic” change is provided for complex project optimization.

Key Words and Phrases: FPGA, bit grid, modeling, hardware capacity.